

# Vstupy jednočipového mikropočítače

## TTL vstup

TTL (transistor-transistor-logic) je standardem používaným pro implementaci digitálních (také logických) [integrovaných obvodů](#), vycházejícím z použití technologie bipolárních křemíkových tranzistorů. Obvody technologie TTL používají napájecí [napětí 5 V](#), z čehož vyplývá pro logickou jedničku napětí přibližně 5 V, pro logickou nulu napětí přibližně 0 V.

Napětí 0 V až 0,8 V na vstupu se interpretuje jako [logická 0](#). Napětí 2,0 V až 5,0 V na vstupu se interpretuje jako [logická 1](#). Napětí 0,8 V až 2,0 V leží v tzv. zakázaném pásmu, pro které není funkce obvodu definována. Za podmínky, že obvod současně zaručí na svých výstupech napětí 2,7 V až 5 V pro logickou jedničku a 0 až 0,3 V pro logickou nulu lze obvod považovat za kompatibilní s logikou TTL.

V současnosti se napěťová hladina používaná pro implementaci digitální logiky snižuje, používá se logika s napájením 3,3 V, 2,5 V, 1,8 V a 1,2 V. Snižování napěťové hladiny je diktováno požadavky na vyšší integraci a nižší spotřebu na tranzistor u moderních zařízení. Pro nízkonapěťovou logiku bohužel zřejmě neexistuje všeobecně přijímaný standard pro logické úrovně, jak tomu bylo u logiky TTL.

## Schmittův klopný obvod

*Principiální schéma. Popis funkce. Hystereze. K čemu je ST dobrý na vstupech řídicího počítače. Rozdíl, výhody/nevýhody oproti TTL vstupu. Vyhledání klopících napětí v datasheetu PIC16F87x.*

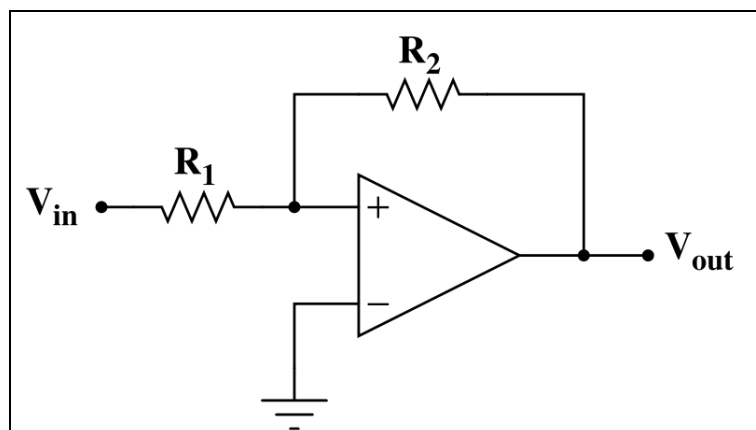
- Schmitt trigger = Schmittův klopný obvod, lépe komparátor s hysterezí.
- Neinvertující Schmittův klopný obvod je komparátor s hysterezí, pokud je na výstupu  $U_L$ , přenáší se toto napětí přes odporový dělič na +IN, na vstupu IN je třeba taková kladné napětí aby byl +IN kladnější proti vstupu -IN (ve schématu tedy i proti zemi), komparátor se překlápí do H. Toto opačně platí i pro úroveň  $U_H$  na vstupu.

Hystereze obvodu:

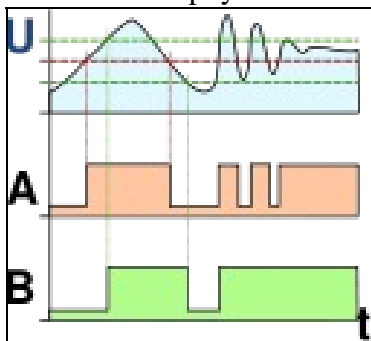
napěťové úrovně napětí než do H.

Do L překlápí obvod při jiné

## Schmitt trigger

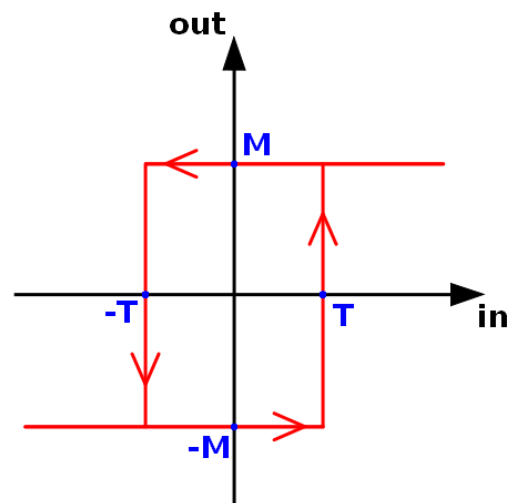


Schmittův klopný obvod dělá z libovolného vstupního signálu signál dvoustavový.



**Vykazuje hysterezi.**

Hodí se například k úpravě zarušeného signálu nebo ke zlepšení strmosti zkresleného obdélníkového signálu. Obdélníkový signál po průchodu reálným metalickým vodičem ztrácí harmonické složky z důvodu konečné šířky přenášeného pásma. Signál



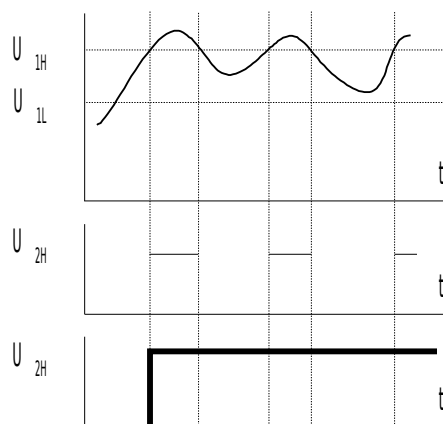
nemusí mít dostatečně strmé hrany, popřípadě může být zarušený. Pro vyhodnocení TTL logikou to může být problematické. Pokud by se napěťová úroveň signálu (například důsledkem málo strmých hran) vyskytovala v zakázané oblasti 0,8-2V, byla by vyhodnocena nepředvídatelně. Tyto problémy dokáže ST vyřešit.

ST se vyrábí jako obvod TTL a CMOS, lze jej zkonstruovat i pomocí OZ. Pokud je na vstupu periodický signál s rozkmitem napětí větším  $U_{ss} > U_H$  než hysterezní napětí, je na výstupu obdélníkové napětí se shodnou periodou.

## Komparátor s hysterezí (Schmittův obvod) (Schmitt - Trigger)

Nevýhodou zapojení komparátoru bez zpětné vazby je citlivost na rušivé signály. Při průchodu zarušeného signálu rozhodovací úrovní bude výstupní napětí komparátoru kmitat mezi oběma krajními hodnotami ( $U_{2max}$ ,  $U_{2min}$ ) tak dlouho, dokud vstupní signál nepřekročí rozhodovací úroveň s určitou rezervou (obr. 5). Tyto oscilace jsou nežádoucí, neboť znemožňují správnou funkci obvodů za komparátorem. Vzniklé „falešné“ impulzy mají za následek např. chybnou funkci logických obvodů, kmitající obvod má velkou spotřebu – hrany nejsou nekonečně strmé – na tranzistoru otevřeném do 1/2 je největší výkonová ztráta. K odstranění nežádoucích oscilací se zavádí *hystereze* (srv. hysterezní smyčka) pomocí kladné zpětné vazby. Kladná zpětná vazba obecně zvyšuje zesílení obvodu. Zde je již plné zesílení zesilovače využito a kladná ZV zesílení nemůže více zvětšit. Kladná zpětná vazba plní dvě funkce:

- zavádí hysterezi, t.j. *potlačení nežádoucí citlivosti na šum kolem rozhodovací (překlápěcí) úrovně*
- urychluje překlápění výstupu komparátoru



Obr. 5

Komparátory s hysterezí mohou být zapojeny jako **invertující** nebo **neinvertující**. U invertujícího komparátoru odpovídá kladné změně vstupního napětí záporná změna výstupního napětí ( $\Delta U_1 > 0 \Rightarrow \Delta U_2 < 0$ ), u neinvertujícího komparátoru odpovídá kladné změně  $U_1$  rovněž kladná změna  $U_2$  ( $\Delta U_1 > 0 \Rightarrow \Delta U_2 > 0$ )

## Pull-Up, Pull-Down, (buzení Push-Pull)

### Pull-up resistor

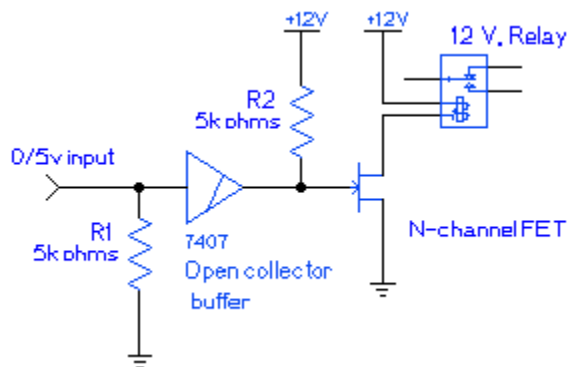
**Pull-up odpory** jsou [odpory](#) použitých při návrhu elektronických [logických obvodů](#), aby zajistily, že vstupy do logických systémů usadí v očekávané logické úrovni, pokud externích zařízení jsou odpojeny. Pull-up rezistory mohou být také použity na rozhraní mezi dvěma různými typy logických zařízení, případně působícími na různých napájecích napětí.

Projekt "Pull-up rezistor, je to, že slabě" tahá "napětí na drátu je připojen k cestě 5V (nebo bez napětí představuje logickou " high "). Nicméně, odpor je záměrně slabá (high-rezistence) natolik, že je-li něco jiného silně vymrští drátu k 0V, drát půjde do 0V. Příkladem něco, co by rozhodně dělat drátem do 0V by byl tranzistor v [otevřeném-kolektor](#) výstup.

Podobně, **vytáhněte-dolů odpory** jsou použity, aby vstup na nulovou (nizkou) hodnotu, pokud neexistuje jiná složka je řízení vstupu. Jsou používány méně často než Pull-up rezistory. Pull-dolů rezistory může být bezpečně používán s [CMOS](#) logická hradla, protože vstupy jsou napětí-kontrolovaný. [TTL](#) logické vstupy, které jsou ponechány un-neodmyslitelně spojené vznášet vysoko, proto se vyžadují mnohem nižší oceňují tahat-rezistor dolů, aby přinutil k nízkým příkonem. To také spotřebuje více aktuální. Z tohoto důvodu Pull-up rezistory jsou preferované v TTL obvodů.

V [bipolární](#) logika rodin působících při 5 VDC, což je typické Pull-up rezistor hodnoty budou 1000-5000  $\Omega$ , založené na požadavku, aby poskytla požadované logické úrovni současných více než plný rozsah provozní teploty a napájecího napětí. Pro [CMOS](#) a [MOS](#) logiky,

mnohem vyšší hodnoty na odpor může být použito několik tisíc až jeden milion ohms, neboť požadované unikající proud v logickém vstup je malý.



Obvodu natahuje Pull-up rezistor (R2) a vytáhněte-dolů odporem (R1)

Pull-up rezistory mohou být použity v logických výstupů, kde se logika zařízení nemůže zdroj proudů, například [open-sběrač TTL](#) logických zařízení. Tyto výstupy jsou využívány pro řízení externích zařízení, pro drát-nebo funkce v [kombinatorické logice](#), nebo o jednoduchý způsob jízdy z logiky autobus s více zařízení připojených k ní. Například obvodu je uvedeno na pravou používá 5 V logikou úrovní vstupů ovládat relé. Pokud se nejedná o žádnou vstup je vlevo, vytáhněte-dolů rezistor R1 zajišťuje, že vstup je stlačeno na logiku nízké. Na [7407](#) TTL zařízení, otevřený kolektor buffer, prostě cokoliv výstupů, které obdrží jako vstup, ale jako otevřený kolektor zařízení, výstup je vlevo účinně nesouvislých když tvorby a "1". Pull-up rezistor R2 tak tahá výstup celou cestu až do 12 W, když vyrovnávací paměť výstupy a "1", poskytují dost napětí, aby se moc [MOSFET](#) celou cestu a ovládat [relé](#).

Pull-up rezistory mohou být diskrétní zařízení namontované na stejném obvodu jako logické zařízení. Řada [mikrořadičů](#) určených pro vestavěné aplikace mají vnitřní kontroly, programovatelné Pull-up rezistory na logických vstupů tak, že minimální vnější součásti jsou potřeba.

Některé nevýhody Pull-up rezistory jsou navíc moc spotřebovány při současné je čerpán přes odpor, a sníženou rychlostí a Pull-up ve srovnání s aktivní proudový zdroj. Některé logické rodiny jsou náchylné k [napájení](#) přechodné uvedl do logických vstupů přes Pull-up rezistory, které mohou účinnost využívání samostatného filtrovaný zdroj energie pro tahání-upů.

## Interní Pull-Up

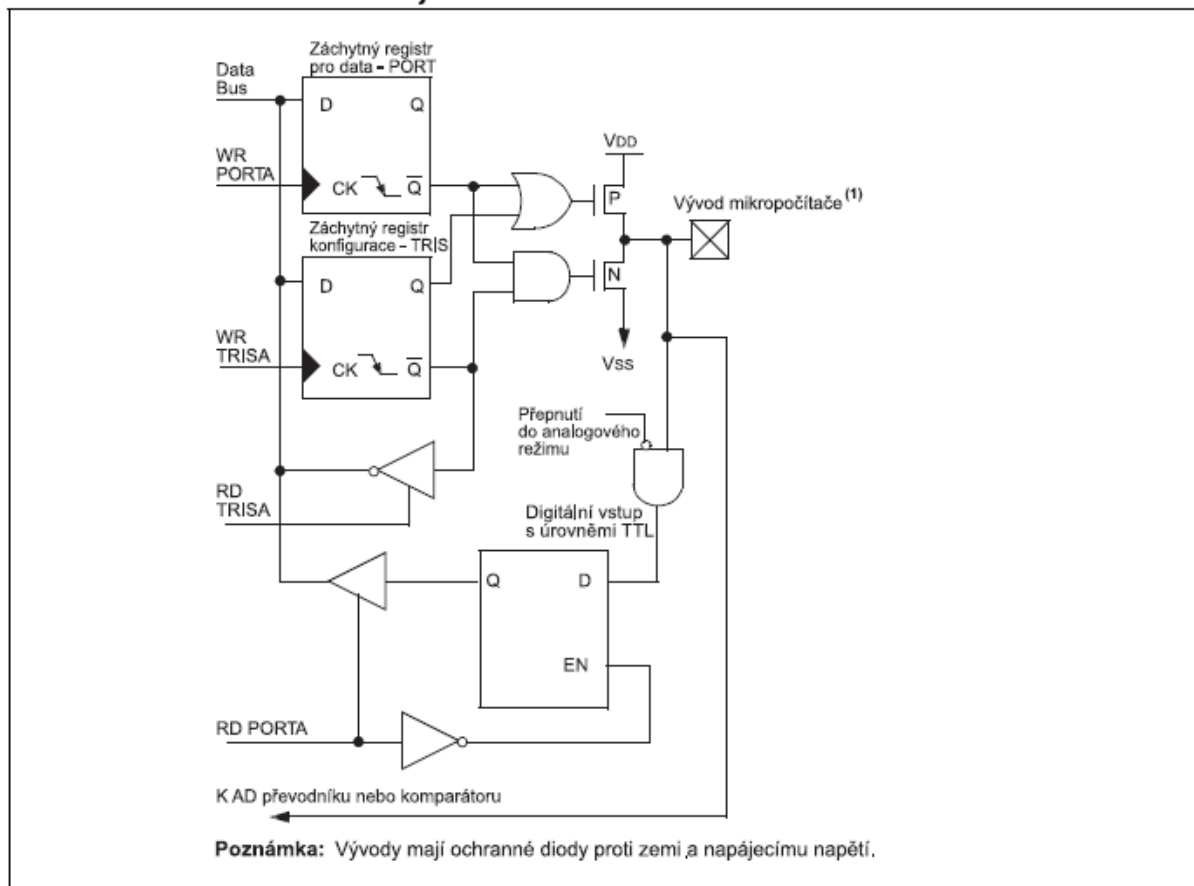
některé procesory obsahují takzvaný interní pull-up rezistor, tyto odpory jsou obvykle připojovány na celou bránu volitelně podle nastavení určitého konfiguračního slova v registru mikropočítače.



## Schéma I/O brány. Třístavový výstup. ]

Třístavový výstup má stavy: log 0; log 1; vysoká impedance; vysoká impedance - se u CMOS obvodu dělá tak, že pod spodní NMOS se dá do série další NMOS(2) a nad horní PMOS se dá další PMOS(2), (2) mají propojený Gate (ten druhý přes invertor, aby spínaly najednou), který se řídí už normálně signálem log 1 či 0 a podle toho jestli jsou ty tranzistory sepnutý nebo rozepnutý -vysoká impedance se připojuje/odpojuje vystup.< Takhle funguje log. člen CMOS s třístavovým výstupem

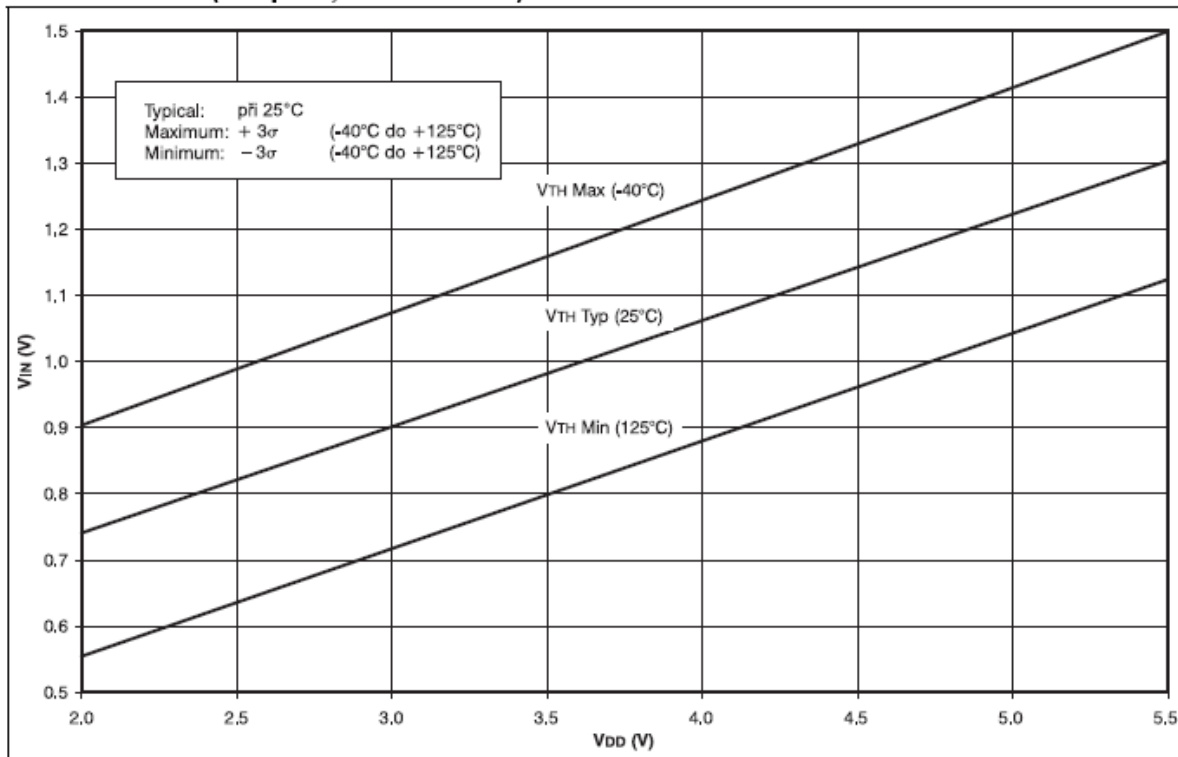
**Obrázek 4-1: Blokové schéma vývodů RA3-RA0**



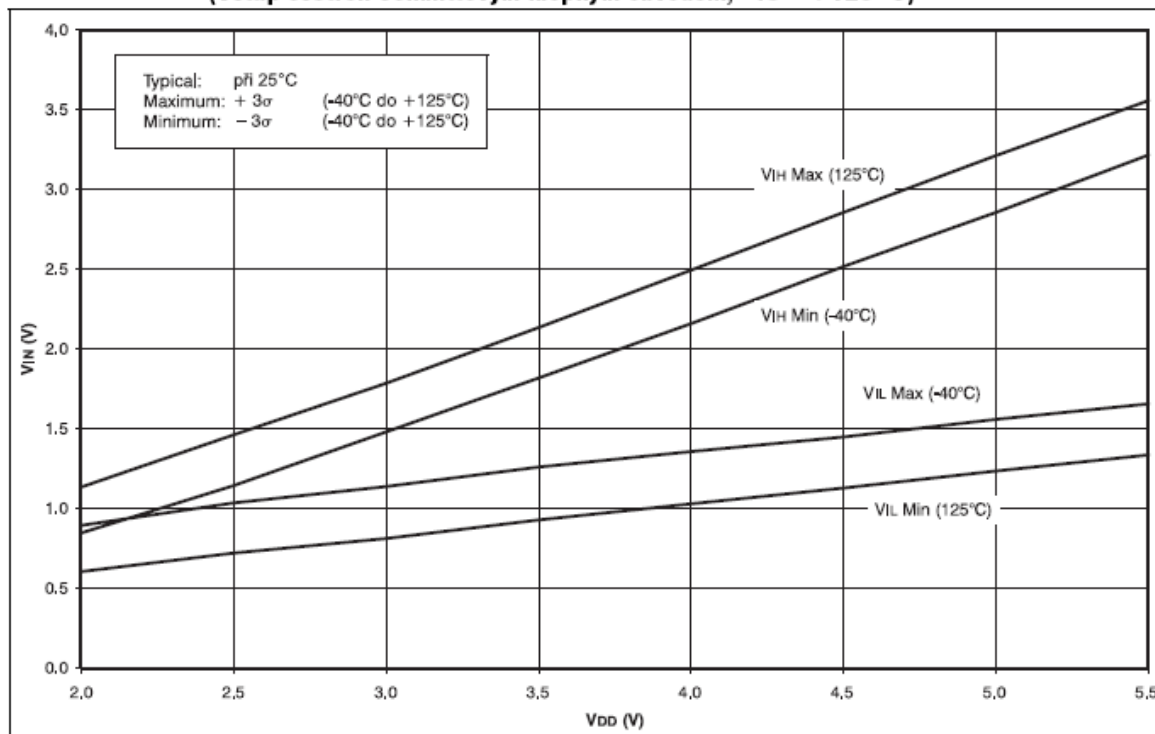
Možno ukázat nastavení vstupů a jejich použití v programu.

# Vyhledání rozhodovacích úrovní v manuálu PIC16F87x ]

**Obrázek 18-20: Závislost minimální a maximální hodnoty napětí  $V_{in}$  na napájecím napětí  $V_{DD}$ . (Vstup TTL, -40 – +125 °C)**



**Obrázek 18-21: Závislost minimální a maximální hodnoty napětí  $V_{in}$  na napájecím napětí  $V_{DD}$ . (Vstup ošetřen Schmittovým klopným obvodem, -40 – +125 °C)**



# Identifikace jednotlivých vstupů v manuálu (ST/TTL) ] TABLE 1-2. PIC16F87xA

**Tabulka 1-2: Popis vývodů mikročítačů PIC16F873A/876A**

Název vývodu	Č. vývodu pouzdra PDIP, SOIC a SSOP	Číslo vývodu pouzdra QFN	Směr vstupně výstup. vývodu	Druh vstupu	Popis
OSC1/CLKI OSC1 CLKI	9	6	I I	ST/CMOS <sup>(3)</sup>	Vstup oscilátoru nebo vnějšího taktovacího signálu. Vstup je ošetřen Schmittovým klopným obvodem v režimu RC oscilátoru, v ostatních režimech se jedná o vstup CMOS.
OSC2/CLKO OSC2 CLKO	10	7	O O	—	Výstup taktovacího oscilátoru. Připojuje se ke krystalu nebo rezonátoru. V konfiguraci RC je na vývodu přítomna taktovací frekvence dělená čtyřmi.
MCLR/VPP MCLR VPP	1	26	I P	ST	Vstup signálu reset nebo vstup programovacího napětí. Signál reset je aktivní v log.0.
RA0/ANO RA0 ANO	2	27	I/O I	TTL	PortA je obousměrná vstupně výstupní brána Digitální vstup/výstup Analogový vstup č.0
RA1/AN1 RA1 AN1	3	28	I/O I	TTL	Digitální vstup/výstup Analogový vstup č.1
RA2/AN2/VREF-/CVREF RA2 AN2 VREF- CVREF	4	1	I/O I I O	TTL	Digitální vstup/výstup Analogový vstup č.2 Vstup dolního referenčního napětí pro AD převodník Výstup napěťové reference komparátoru
RA3/AN3/VREF+ RA3 AN3 VREF+	5	2	I/O I I	TTL	Digitální vstup/výstup Analogový vstup č.3 Vstup horního referenčního napětí pro AD převodník
RA4/TOCKI/C1OUT RA4 TOCKI C1OUT	6	3	I/O I O	ST	Digitální vstup/výstup – v režimu výstupu s otevřeným kolektorem Vnější vstup pro čítač/časovač Timer0 Výstup komparátoru č. 1
RA5/AN4/SS/C2OUT RA5 AN4 SS C2OUT	7	4	I/O I I O	TTL	Digitální vstup/výstup Analogový vstup č.4 Vstup Select v režimu SPI Slave Výstup komparátoru č.2

**Vysvětlivky:** I = vstup, O = výstup, I/O = vstup/výstup, P = napájení, — = nepoužito, TTL = vstup s úrovněmi TTL, ST = vstup je ošetřen Schmittovým klopným obvodem

**Poznámka 1:** Pokud je tento vstup konfigurován jako vstup pro vnější přerušení, je ošetřen Schmittovým klopným obvodem

**2:** V režimu sériového programování je tento vstup ošetřen Schmittovým klopným obvodem.

**3:** Vstup je ošetřen Schmittovým klopným obvodem jen v konfiguraci oscilátoru RC. Při ostatních druzích konfigurace se jedná o vstup s úrovněmi CMOS.



# PIC16F87xA

**Tabulka 1-2: Popis vývodů mikroočítačů PIC16F873A/876A (pokračování)**

Název vývodu	Č. vývodu pouzdra PDIP, SOIC a SSOP	Číslo vývodu pouzdra QFN	Směr vstupně výstup. vývodu	Druh vstupu	Popis
RB0/INT RB0 INT	21	18	I/O I	TTL/ST <sup>(1)</sup>	Port je obousměrná vstupně výstupní brána. Na vstupech je možné softwarově zapojit odpory pull-up pro přidružení nezapojeného vývodu ve stavu log.1  Digitální vstup/výstup Vnější přerušení
RB1	22	19	I/O	TTL	Digitální vstup/výstup
RB2	23	20	I/O	TTL	Digitální vstup/výstup
RB3/PGM RB3 PGM	24	21	I/O I	TTL	Digitální vstup/výstup Povolení programování v režimu s nízkým napájením (jedno napájecí napětí)
RB4	25	22	I/O	TTL	Digitální vstup/výstup
RB5	26	23	I/O	TTL	Digitální vstup/výstup
RB6/PGC RB6 PGC	27	24	I/O I	TTL/ST <sup>(2)</sup>	Digitální vstup/výstup Ladění v aplikaci a vstup hodinového signálu ICSP
RB7/PGD RB7 PGD	28	25	I/O I/O	TTL/ST <sup>(2)</sup>	Digitální vstup/výstup Ladění v aplikaci a vstup datového signálu ICSP
RC0/T10SO/T1CKI RC0 T10SO T1CKI	11	8	I/O O I	ST	PortC je obousměrná vstupně výstupní brána.  Digitální vstup/výstup Výstup čítače/časovače Timer1 Vnější vstup čítače/časovače Timer1
RC1/T10SI/CCP2 RC1 T10SI CCP2	12	9	I/O I I/O	ST	Digitální vstup/výstup Vstup čítače/časovače Timer1 Vstup Capture2, výstup Compare2, výstup PWM2
RC2/CCP1 RC2 CCP1	13	10	I/O I/O	ST	Digitální vstup/výstup Vstup Capture1, výstup Compare1, výstup PWM1
RC3/SCK/SCL RC3 SCK SCL	14	11	I/O I/O I/O	ST	Digitální vstup/výstup Hodinový signál v režimu SPI Hodinový signál v režimu I2C
RC4/SDVSDA RC4 SDI SDA	15	12	I/O I I/O	ST	Digitální vstup/výstup Vstup dat v režimu SPI Vstup/výstup dat v režimu I2C
RC5/SDO RC5 SDO	16	13	I/O O	ST	Digitální vstup/výstup Výstup dat v režimu SPI
RC6/TX/CK RC6 TX CK	17	14	I/O O I/O	ST	Digitální vstup/výstup Vysílání dat v režimu asynchronní USART Hodinový signál v režimu synchronní USART
RC7/RX/DT RC7 RX DT	18	15	I/O I I/O	ST	Digitální vstup/výstup Příjem dat v režimu asynchronní USART Datový signál v režimu synchronní USART
V <sub>SS</sub>	8, 19	5, 6	P	—	Napájecí a signálová zem
V <sub>DD</sub>	20	17	P	—	Kladné napájecí napětí

**Vysvětlivky:** I = vstup, O = výstup, I/O = vstup/výstup, P = napájení, — = nepoužito, TTL = vstup s úrovními TTL, ST = vstup je ošetřen Schmittovým klopným obvodem

**Poznámka 1:** Pokud je tento vstup konfigurován jako vstup pro vnější přerušení, je ošetřen Schmittovým klopným obvodem

**2:** V režimu sériového programování je tento vstup ošetřen Schmittovým klopným obvodem.

**3:** Vstup je ošetřen Schmittovým klopným obvodem jen v konfiguraci oscilátoru RC.

Při ostatních druzích konfigurace se jedná o vstup s úrovními CMOS.